

3-03122-SY

MANUFACTURE OF SEMICONDUCTOR DEVICE

Patent Number: JP55078540

Publication date: 1980-06-13

Inventor(s): HIROBE YOSHIMICHI

Applicant(s): HITACHI LTD

Requested Patent: JP55078540

Application Number: JP19780151039 19781208

Priority Number(s):

IPC Classification: H01L21/76; H01L21/94

EC Classification:

Equivalents:

Abstract

PURPOSE: To improve a pattern dimensional accuracy of an oxidized film and also to improve flatness by a method wherein plural slender grooves are formed adjacently on a semiconductor substrate with substrate zones between grooves converted to oxidized films and the oxidized films buried in the grooves.

CONSTITUTION: A mask 10 is provided on a silicon substrate 15, isolation domains of various widths 12, 13, 14 are formed through etching, and a groove 16 and a silicon remanet 20 are formed. Next, the mask 10 is removed, the groove 16 is covered thoroughly with an oxidized film 17, and the silicon remanet 20 is also converted thoroughly to an oxidized film. The isolation domain 14 with large width is formed with plural grooves. In the case of bipolar IC, the width of the groove 16 and that of the silicon remanet must be about 1.1 times or below and 0.9 times or below respectively of the thickness of a desired oxidized film 17'. A flatness of the surface after formation of the oxidized film is improved thereby, and not only a disconnection of the electrode wiring hardly occurs but also a dimensional accuracy at the time of mask pattern transfer after formation of the oxidized film is improved.

Data supplied from the esp@cenet database - I2

THIS PAGE BLANK (USPTO)

⑨ 日本国特許庁 (JP)
⑩ 公開特許公報 (A)

⑪ 特許出願公開
昭55-78540

⑫ Int. Cl.³
H 01 L 21/76
21/94

識別記号

府内整理番号
6426-5F
7739-5F

⑬ 公開 昭和55年(1980)6月13日

発明の数 2
審査請求 未請求

(全 5 頁)

⑤ 半導体装置の製造方法

⑥ 特 願 昭53-151039

⑦ 出 願 昭53(1978)12月8日

⑧ 発 明 者 広部嘉道

小平市上水本町1450番地株式会社

社日立製作所武藏工場内

⑨ 出願人 株式会社日立製作所
東京都千代田区丸の内1丁目5
番1号

⑩ 代理 人 弁理士 薄田利幸

明細書

発明の名称 半導体装置の製造方法

特許請求の範囲

1. 半導体基板の一主面の所定箇所に複数の端子を互いに隔離して形成し、上記専間に位置する上記基板を少なくとも上記端子の最まで全て酸化すると共に上記基板内部を酸化膜で埋めることを特徴とする半導体装置の製造方法。
2. 上記端子と専間に位置する基板の厚さが約1.1:0.9にできるように上記端子を形成することを特徴とする特許請求の範囲第1項記載の半導体装置の製造方法。
3. 上記半導体基板の一主面はエピタキシャル層から成り、上記端子は酸エピタキシャル層の厚さ以上の厚さを有するように形成されることを特徴とする特許請求の範囲第1項記載の半導体装置の製造方法。
4. (a) 半導体基板を用意する工程、
(b) 上記基板の一主面に絶縁膜を形成する工程、

- (c) 上記絶縁膜を選択的に除去する工程、
- (d) 上記絶縁膜をマスクとして上記基板の一主面に横ばく同一の長さ・幅・厚さを有する複数の端子を互いに並行して形成する工程、
- (e) 上記基板を酸化して上記複数の端間に位置する基板を酸化すると共に、上記基板内部を酸化膜によって埋める工程、

とから成ることを特徴とする半導体装置の製造方法。

発明の詳細を説明

本発明は、半導体電気回路における酸化膜による電子間分離（アイソレーション）法に属するものであり、MOSFET及びバイポーラ系LSI両方に有用であり、特に薄い酸化膜を必要とするバイポーラ系LSIのアイソレーション形成法として有用である。

従来しられているアイソレーション法として代表的な方法に、アイソプレーナ法と呼ばれる方法がある。アイソプレーナ法は、第1回(a)-(c)に示

(a)

(b)

すように、シリコン基板1上に酸化膜2とシリコン酸化膜3を形成し、感光性樹脂膜4のパターンを用いて、上記シリコン酸化膜3及び酸化膜2を選択的にエッチングし、底部5を形成する(第1回(a))。しかし上記底部5に露出するシリコン表面6を、アクリルとショウ酸との混合液、ヒドロゲン過酸化水素水溶液カリウム溶液あるいはフッ素又は塩素を有するプラズマ等により所望の深さまでエッチングして底部5を形成する(第1回(b))。その後酸化処理して、シリコン基板1表面にアイソレーション用酸化膜7を形成する。一方シリコン酸化膜で覆われた領域には、酸化膜は形成されない(第1回(c))。

ところで、上記従来法に付いてアイソレーション用酸化膜7の厚さを大きくするために第2回(a)に示すように底部5形成のためのシリコン基板1のエッチング深さ δ を大きくしなければならない。その場合、第2回(b)に示すように酸化膜、パターン寸法のシフト量(上記底部5の幅に対する酸化膜7の幅) δ 及び酸化膜端部の突起の高さ δ が大きくなる。

(d)

さらに本発明の他の目的は、その上に形成される金属記録の寄生容量を小さくても表面の平坦度が保たれ、かつパターン寸法精度の高い低いアイソレーション用酸化膜の形成法を提供することにある。

さらに、本発明の他の目的は、従来よりも短い時間で早い酸化膜を得ることである。

上記の目的を達成するために本発明は、半導体基板の一主面の所定箇所に複数の網構を互いに隣接して形成し、該基板を酸化するとことによって上記網構に位置する上記基板を少なくとも上記網の深さまで酸化膜に変換するとともに、上記網内部を酸化膜で埋めることを特徴とするものである。

第3回(a)～(d)は、本発明を用いて酸化膜アイソレーション構造を形成する工程の一実施例を示したものである。まず回(a)に示すように、選択的なトリソグラフィ技術を用いて、シリコン基板15上にシリコン基板エッチングのためのマスク材10のパターンを形成する。上記マスク材10は、シリコン基板15の微細な幅のアイソレーシ

(e)

くなる。例えば第3回(d)に示したようにシリコンエッチング深さ $\delta=0.8\mu m$ で酸化膜4 $\delta=1.5\mu m$ としたとき、 $\delta=2\mu m$ 、 $\delta=1\mu m$ となり、緻密なアイソレーション構造の形成及び平坦な基板構造は得難い。

又、より高速を電子を得ようとする場合アイソレーション用酸化膜上に形成する金属記録の容量を小さくするために上記酸化膜よりもつと深い酸化膜を形成しなければならない。しかし上記従来技術ではせいぜい2～3μm程度の深度しか形成できず、かつ上記したように網のシフト量及び酸化膜端部の突起の高さが大きくなってしまい電子形成上大きなデメリットとなつていい。

さらに、従来技術では、酸化膜形成時の酸化時間が非常に長いという欠点もある。

本発明の目的は、アイソレーション用酸化膜表面の平坦度が壊れかつ上記酸化膜形成時のパターン寸法精度の高いアイソレーション用酸化膜の形成法を提供することにある。

(f)

ヨン領域12、中程度の幅のアイソレーション領域13及び大きな幅のアイソレーション領域14が形成される部分上にすべて1箇又は互いに隣接した複数個の窓部21を有して形成される。次に第3回(e)に示すように上記マスク材10を用いて所望の深さまでシリコン基板15をエッチングして複数の第16及び第17間に位置するシリコン基板(シリコン基板20)を形成する。

シリコン基板のエッチングには、フッ素又は塩素を含むプラズマを用いてサイドエッチングの少ない高精度のエッチングが可能である。エッチングのためのマスク材10としては、感光性樹脂、シリコン酸化膜、あるいはシリコン空化膜を用いることができる。そして第3回(f)に示すように上記マスク材10を除去する。そして、第3回(g)に示すように、基板15を熱処理し、シリコンエッチング後の窓部21及びこの窓部21間に位置するシリコン基板(シリコン基板20)をシリコン酸化膜17で埋めつくす。第3回(h)において、後級を経たアイソレーション領域13は、それぞれ1つの

(g)

面により1つのアイソレーション領域を形成し、中程度の幅のアイソレーション領域13は2つの端で1つのアイソレーション用硬化膜領域を形成し、大きな幅のアイソレーション領域14は複数の端で1つのアイソレーション領域を形成する。第3回図に示した酸化膜17はシリコン基板16表面から均一に除去し、領域18のシリコン表面を露出して用いることも可能である。

更に、上記第3回の13の部分について、この部分の拡大断面図第4回を基に詳細に説明する。同図において、アイソレーション領域13の幅が6.2μmの場合、シリコン基板エッティング後の幅16の端4とシリコン領域20の端4の寸法を各々2.2μmと1.8μmとするとことにより酸化膜17'の厚さが2.0μm、アイソレーション領域の酸化膜17の厚さが約7μmの厚い酸化膜で埋め込まれたアイソレーション構造を形成することができる。このときの酸化膜領域の幅寸法13は8μmである。又つて酸化膜(加工膜)のアイソレーション領域のバーナンサ法シフト量

(4)

それゆえ、第4回に示すように、エッティング後の端16を完全に酸化膜17で埋め、かつ上記構成16間に位置するシリコン基板であるシリコン表面20も完全に酸化膜に変換するためには、構16の幅寸法4及びシリコン領域の幅寸法13は、各々所要酸化膜17'の幅寸法の約1.1倍以下及び0.9倍以下でなければならない。また本発明によれば、高精度にエッティングされたシリコン基板16の微細部16が、同じくエッティングにより形成されたシリコン表面20の酸化時の主として横方向への体積膨脹により完全に埋められるので、長いエッティング処理を施せば短時間で容易に厚い酸化膜アイソレーションを形成することができる。

上記本発明の実施例においては、酸化膜厚7μ、バーナンサ法シフト量は0.9μ、酸化膜表面の突起の高さ1μ以下であり、従来よりも非常に厚い酸化膜と成り、かつ上記従来技術の場合(酸化膜厚1.5μ)よりもバーナンサ法シフト量及び酸化膜表面の尖端の高さとも小さな値となる。

(5)

(3-6) 開拓55-785403
は0.9μである。また酸化膜長

2

面の四部の寸法とは1μ以下である。

上記第3回(4)～(6)に示した本発明の一実施例において、第5回(4)～(6)に示すようにマスク材10をマスクとしてシリコン基板16をエッティングしたあと、上記マスク材10を除去せず第5回(6)のようにシリコン基板16上に残したままでシリコン基板16を酸化して、第5回(6)に示すように酸化膜17を形成しても良い。この場合上記マスク材10は第3回の説明で述べたように、耐光性樹脂、シリコン酸化膜、シリコン塗装膜等を用いることができる。

次に第7回に本発明の方法によりバイポーラトランジスタを製造した場合を示す。同図中17が厚い酸化膜である。

本発明においては、生成酸化膜形成時の体積膨脹現象を基本としている。すなわら、酸化膜は、その底面の約65%のシリコンから形成される。

(6)

(7)

又、酸化膜上に形成する金属配線の容量は、金属配線自体の容量と上記酸化膜自体の容量とが直列に接続されたものとなるため本発明の実施例のように7μと非常に厚い酸化膜を形成すれば、金属配線の容量が非常に小さくなる。これに関し第6回に従来技術と本発明の場合との容量比を示す。同図において(1)は従来技術を、(2)は本発明を示す。

$$(1) \text{における配線容量 } C_1 \text{ は、 } C_1 = \frac{0.1 \times 0.2}{0.1 + 0.2}$$

であり(2)における配線容量 C_2 は、 $C_2 =$

$$\frac{0.1 \times C_1}{0.1 + C_1} \text{ である。 (2) の酸化膜が(1) の酸化膜より}$$

も厚いため、上記式より $C_2 > C_1$ となる。

さらに、上記本発明の実施例(酸化膜厚7μ)では約1.6～1.7倍の酸化時間を使うが、本発明と同じ時間で従来技術により酸化膜を形成した場合はせいぜい2～3μ程度の膜厚しか形成できず、本発明の実施例と同様の酸化膜を従来技術により形成しようとなれば非常に長い時間を

(8)

要してしまう。

次に本発明による効果を以下に列挙する。

- (1) 厚い酸化膜を形成することができるので、電子導性の許容度が大きくなり特に高速を必要とする電子に有効である。具体的には、高いバイアス電源を用いてもチャギング(寄生チャージ)が発生し難い。また配線ラインの寄生容量が小さくなる。
- (2) 横方向の寸法加工精度が高いため、微細化・高集積化が可能である。
- (3) 酸化膜形成後の表面の平坦度がよく、電極配線の断線が発生し難いのみならず、酸化膜形成後のマスクパターン曝光時の寸法精度が向上する。

図面の簡単な説明

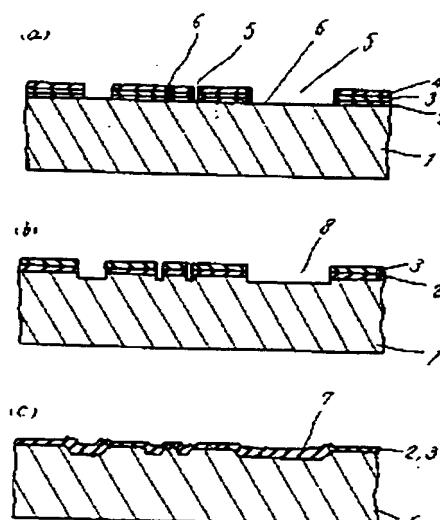
第1回(a)～(c)は従来のアイソプレーナ法によるアイソレーション構造形成時にかかるウェーハ断面図、第2回(a)、(b)は、従来のアイソプレーナ構造の拡大断面図、第3回(a)～(d)は本発明の一実施例によるアイソレーション構造形成工程のウェーハ

特開昭51-78540(4)
一断面図、第4回は本発明の実施例の説明をするための断面図、第5回(a)～(d)は本発明の他の実施例によるアイソレーション構造形成工程のウェーハ一断面図、第6回(a)～(d)は従来技術と本発明とにおける金属記録の容量を示す断面図、第7回は本発明をバイオーラICに適用した場合の断面図である。

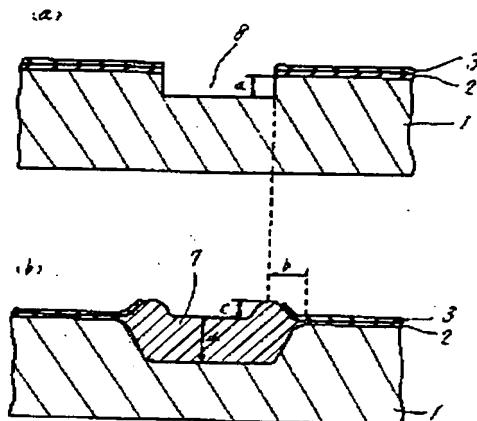
1. 16…シリコン基板、2. 3. 10…マスク
枠、5. 11…窓部、8. 16…窓、20…シリコーン樹脂、7. 17. 17'…酸化膜、12. 13. 14…アイソレーション領域、26…金属記録。

代理人弁理士 寺田利幸

第 1 図

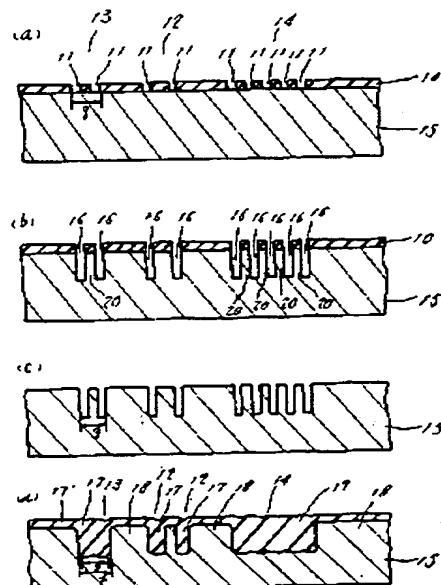


第 2 図

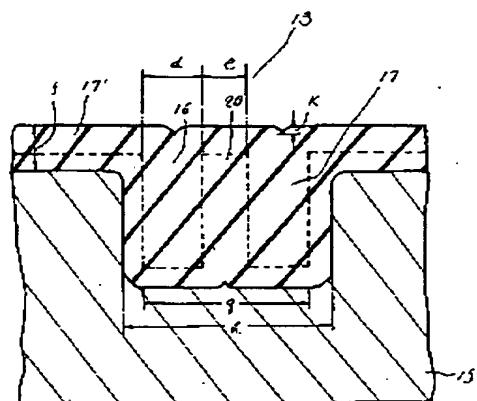


特開昭55-78540(5)

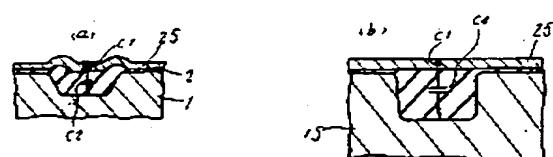
第 3 図



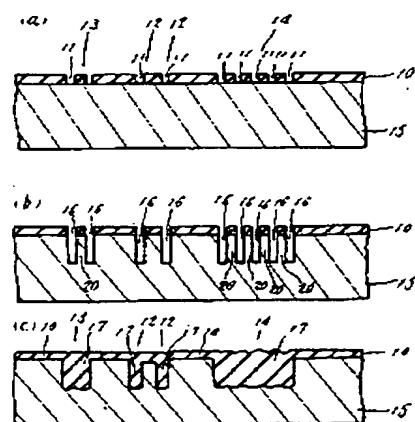
第 4 図



第 6 図

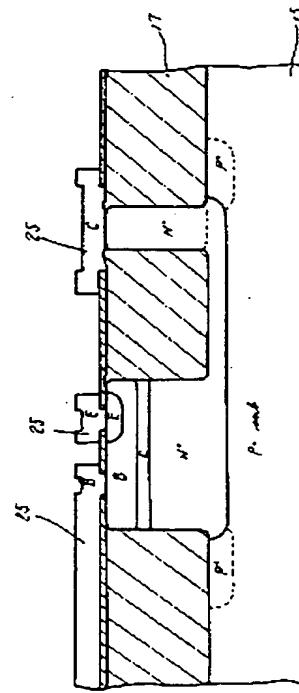


第 5 図



図

第 7 図



THIS PAGE BLANK (USPTO)